



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-111424

(P2001-111424A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl.
H 03 M 1/12
1/10

識別記号

F I
H 03 M 1/12
1/10

テ-マコ-ト (参考)
A 5 J 0 2 2
B

審査請求 未請求 請求項の数1 O.L (全5頁)

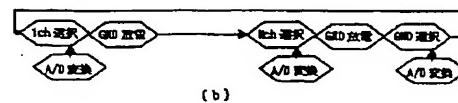
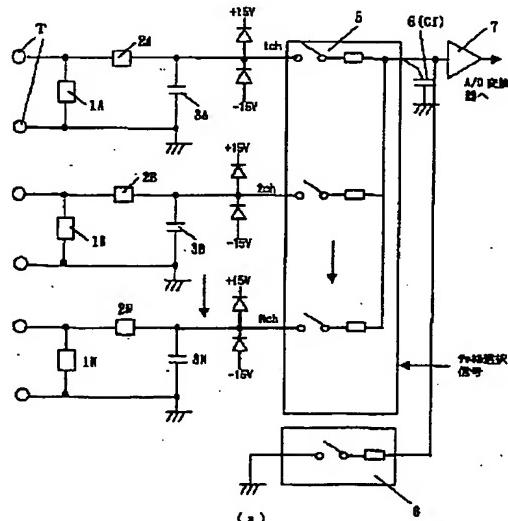
(21) 出願番号 特願平11-290649
(22) 出願日 平成11年10月13日 (1999.10.13)

(71) 出願人 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(72) 発明者 吉田 哲也
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(74) 代理人 100075166
弁理士 山口 嶽 (外2名)
F ターム (参考) 5J022 AA01 BA06 BA10 CA10 CE01
CP08

(54) 【発明の名称】 A/D変換方法

(57) 【要約】

【課題】 低コスト化が可能なA/D変換方法の提供。
【解決手段】 多チャンネルのアナログ信号をマルチブレクサで順次切り替えながら、1つのA/D変換器にてA/D変換するに当たり、従来はマルチブレクサの前段にバッファアンプを各チャンネル対応に設けて、チャンネル間の干渉を抑制するようになっていたが、この発明では図1(a)のように、これらバッファアンプを省略する代りに、図1(b)の如くチャンネルを選択する前にスイッチ8により浮遊容量6に蓄積された電荷を放電することで、各チャンネル対応に要したバッファアンプを省略可能とし、コストを低減させた。



【特許請求の範囲】

【請求項1】 多チャンネルのアナログ入力をマルチブレクサにより順次切り替えながら共通のA/D変換器を用いてA/D変換するに当たり、

前記各アナログ入力によりA/D変換器入力側の浮遊容量に蓄積される電荷を放電する放電回路を設け、この放電回路により前回のA/D変換時に蓄積された電荷を放電する操作を順次繰り返しながら、A/D変換を行なうことを特徴とするA/D変換方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、アナログ信号をディジタル信号に変換するA/D変換方法、特に、その改良に関する。

【0002】

【従来の技術】 図3は従来例の説明図で、図3(a)は回路図、図3(b)はそのソフト処理手順を示す。図3(a)において、符号1A～1Nは入力抵抗、2A～2Nは抵抗、3A～3Nはコンデンサ、4A～4N、7はオペアンプ、5はマルチブレクサ、6は浮遊容量、8はアナログスイッチ、Tは端子である。すなわち、外部からのアナログ信号を端子Tおよびオペアンプ4A～4N等を介してマルチブレクサ5に導くものである。

【0003】 マルチブレクサ5ではアナログ信号を順次選択し、選択されたアナログ信号がオペアンプ7を経て、図示されないA/D変換器でディジタル信号に変換される。ソフト処理としては図3(b)のように、1チャンネル(ch)ずつ順次選択しながらA/D変換を行ない、一連の処理が終了したらアナログスイッチ8を動作させ、オフセット値の読み込みを行なうようにしている。

【0004】

【発明が解決しようとする課題】 しかし、上述のものはチャンネル数分のオペアンプ(バッファアンプ)4A～4N等が必要となり、コストアップになるという問題がある。したがって、この発明の課題はチャンネル数分の*

$$10V \times [C_f / (C_1 + C_f)] \text{Exp}[-t / C_1 (R_1 + R_3)] \dots (1)$$

【0008】 ところで、R1は入力インピーダンスであるため通常は数MΩと大きいが、C1も数PF程度はあるため、数百nsの時定数を持つことになる。すなわち、上記(1)式で示すような放電がA/D変換を行なうまでに完了しなければ、放電途中の電位をA/D変換してしまうので、誤差になると言う訳である。従来はこの放電時定数を小さくするため図3(a)の如くバッファアンプを入れ、低インピーダンスとして素早く放電するようにしている。なお、図2で2chが断線でないときは、2chの端子間の抵抗値に応じ図2(b)の線③と⑤に挟まれる範囲内で放電が行なわれる。

【0009】 以上のように、単純に図1(a)のようにするとチャンネル間で干渉が生じるので、この発明では

* バッファアンプを不要とし、コストダウンを図ることにある。

【0005】

【課題を解決するための手段】 このような課題を解決するため、この発明では、多チャンネルのアナログ入力をマルチブレクサにより順次切り替えながら共通のA/D変換器を用いてA/D変換するに当たり、前記各アナログ入力によりA/D変換器入力側の浮遊容量に蓄積される電荷を放電する放電回路を設け、この放電回路により前回のA/D変換時に蓄積された電荷を放電する操作を順次繰り返しながら、A/D変換を行なうことを特徴とする。

【0006】

【発明の実施の形態】 図1はこの発明の実施の形態説明図で、図1(a)は回路図、図1(b)はそのソフト処理手順を示す。すなわち、図1(a)からも明らかなように、図3(a)に示す従来回路からバッファアンプ4A～4Nを削除した点が特徴である。しかし、このままではチャンネル間で干渉が生じるが、この点について図2を参照して以下に説明する。図2(a)は図1(a)の要部回路図で、図2(b)はその動作説明図である。ここでは、断線状態の場合の方が分かりやすいので、第2チャンネル2chが断線状態にあるとして説明することとする。

【0007】 いま、マルチブレクサによる1ch選択時には、浮遊コンデンサCfには1chの入力電圧がチャージされる(図2(b)の①参照)。ここで、2chを断線状態としたので、コンデンサC1の電荷はゼロと考えられる。そして、マルチブレクサ5により2chに切り替わると、コンデンサC1とCfの間に電荷配分が行なわれ、Cfの電位は $10V \times [C_f / (C_1 + C_f)]$ となる(図2(b)の②参照)。その後、C1の電荷はR1、R3を介して放電を続け、C1、Cf間では再び電荷配分が行なわれる(図2(b)の③参照)。この③の関係式は、次式のようになる。

$$10V \times [C_f / (C_1 + C_f)] \text{Exp}[-t / C_1 (R_1 + R_3)] \dots (1)$$

図1(b)のようなソフト処理を併用することで、課題の解決を図るものである。すなわち、マルチブレクサのチャンネル切り替え前に接地(GND)電位とし、オフセット値の読み込みとともに放電するようにしている。これにより浮遊容量に溜まった電荷を放電できるので、チャンネル間の干渉をなくすことができる。

【0010】

【発明の効果】 この発明によれば、従来必要とされていたチャンネル毎のアンプが不要となるので、コストが大幅に低減されるという利点が得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態説明図である。

【図2】 図1のチャンネル間での干渉説明図である。

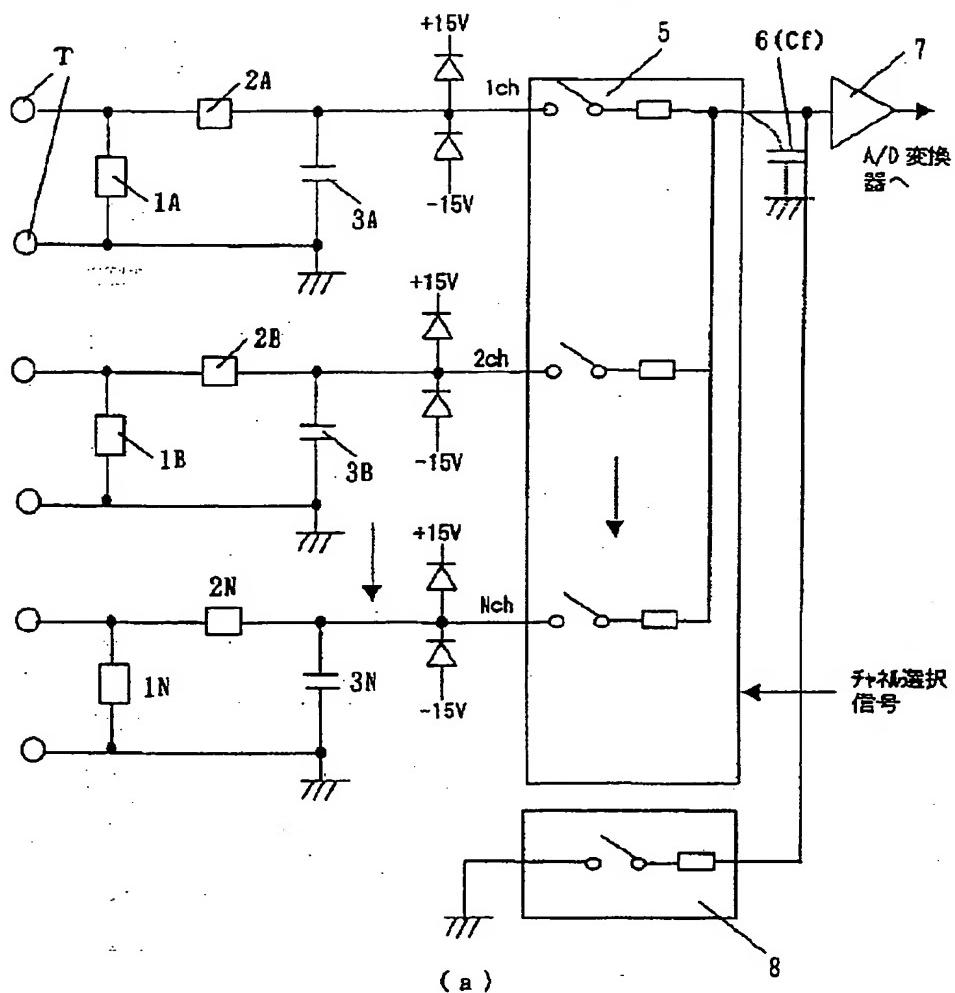
【図3】従来例の説明図である。

【符号の説明】

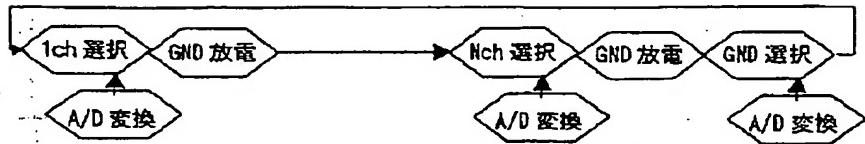
1A～1N…入力抵抗、2A～2N…抵抗、3A～3N…*

*…コンデンサ、4A～4N…オペアンプ、5…マルチブレクサ、6…浮遊容量、8…アナログスイッチ、T…端子。

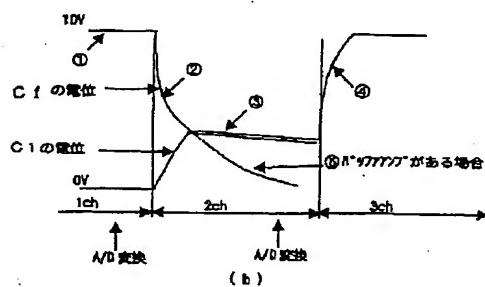
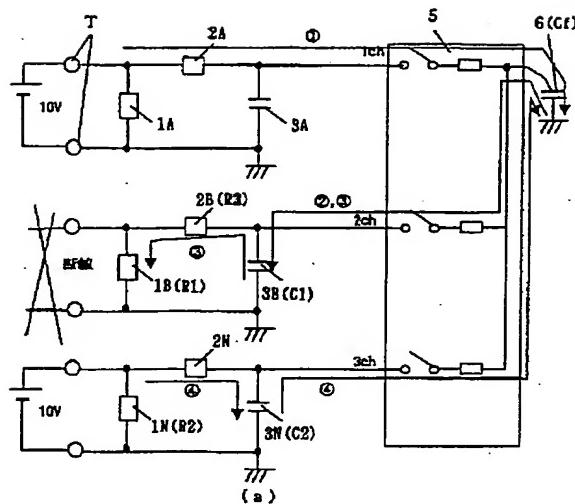
【図1】



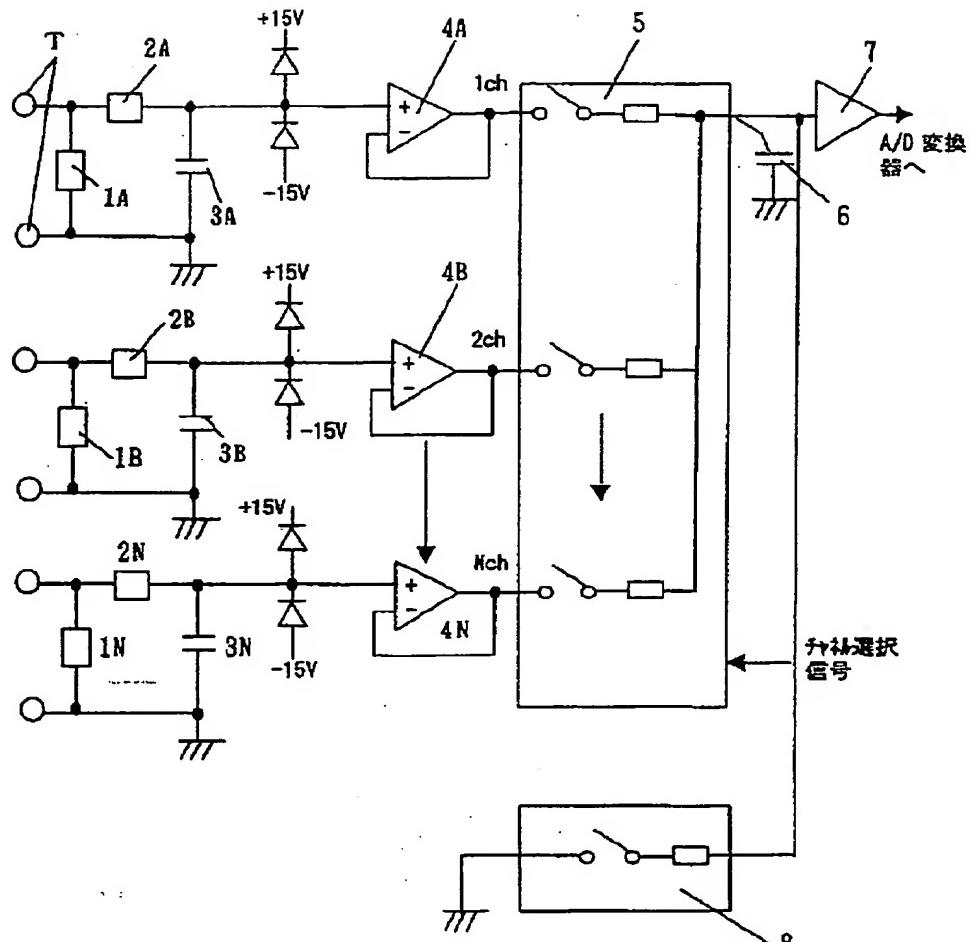
(b)



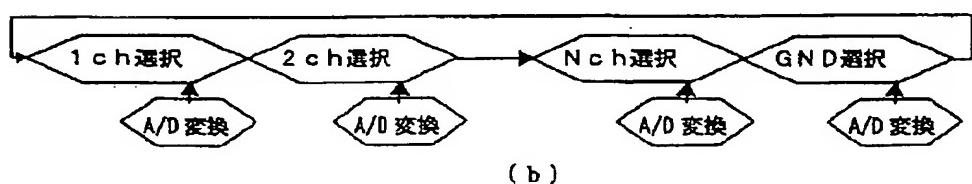
【図2】



【図3】



(a)



(b)